

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

*Handwritten:* #2/Priority Paper

*Handwritten:* 6.250  
C. Wills



In re application of

Akio KITAMURA

Batch:

Serial No.: NEW APPLICATION

Group Art Unit:

Filed: January 23, 2002

Examiner:

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND  
MANUFACTURE METHOD THEREFORE

**CLAIM FOR PRIORITY**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

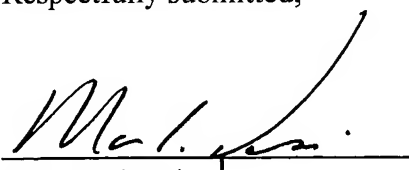
The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2001-015042 January 23, 2001

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

01/23/02  
Date

  
Marc A. Rossi  
Registration No. 31,923

Attorney Docket: FUJI:203

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1011 U.S. PTO  
10/055722  
01/23/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月23日

出 願 番 号

Application Number:

特願2001-015042

出 願 人

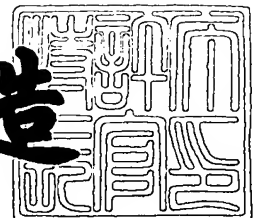
Applicant(s):

富士電機株式会社

2001年11月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3104477

【書類名】 特許願

【整理番号】 00P01371

【提出日】 平成13年 1月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社  
                        会社内

    【氏名】 北村 明夫

【特許出願人】

    【識別番号】 000005234

    【氏名又は名称】 富士電機株式会社

【代理人】

    【識別番号】 100104190

    【弁理士】

    【氏名又は名称】 酒井 昭徳

【手数料の表示】

    【予納台帳番号】 041759

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0008358

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 同一半導体基板上に第 1 の MOS トランジスタと第 2 の MOS トランジスタとが集積され、前記第 2 の MOS トランジスタは前記第 1 の MOS トランジスタよりもしきい値電圧が低く、一方、前記第 1 の MOS トランジスタは前記第 2 の MOS トランジスタよりもチャネル長が短く、かつ前記第 1 の MOS トランジスタのソース領域およびドレイン領域を囲み、前記ソース領域と前記ドレイン領域との間のパンチスルー耐圧を確保するためのパンチスルーストッパ領域を有することを特徴とする半導体集積回路装置。

【請求項 2】 前記第 1 の MOS トランジスタはデジタル回路を構成し、一方、前記第 2 の MOS トランジスタはアナログ回路を構成することを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記半導体基板上に、ドレイン領域が該ドレイン領域よりも不純物濃度が低いオフセットドレイン領域により囲まれ、かつ少なくとも前記オフセットドレイン領域にはパンチスルーストッパ領域を備えていない高耐圧 MOS トランジスタがさらに集積されていることを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

【請求項 4】 前記高耐圧 MOS トランジスタのソース領域を囲み、前記高耐圧 MOS トランジスタのソース領域と前記オフセットドレイン領域との間のパンチスルー耐圧を確保するためのパンチスルーストッパ領域が設けられていることを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】 前記半導体基板上に、パンチスルーストッパ領域を備えていないバイポーラトランジスタがさらに集積されていることを特徴とする請求項 1 ～ 4 のいずれか一つに記載の半導体集積回路装置。

【請求項 6】 前記半導体基板上に、パンチスルーストッパ領域を備えていないダイオードがさらに集積されていることを特徴とする請求項 1 ～ 5 のいずれか一つに記載の半導体集積回路装置。

【請求項 7】 前記半導体基板上に、パンチスルーストッパ領域を備えて

いない拡散抵抗がさらに集積されていることを特徴とする請求項 1 ～ 6 のいずれか一つに記載の半導体集積回路装置。

【請求項 8】 ソース領域とドレイン領域との間のパンチスルー耐圧を確保するためのパンチスルーストッパー領域を備えた MOS トランジスタと、一部または全部の領域にパンチスルーストッパー領域が不要な半導体素子とが、同一半導体基板上に集積された半導体集積回路装置を製造するにあたり、

前記 MOS トランジスタのゲート電極となるゲートポリシリコンを形成する前に、前記半導体素子をマスクしながらイオン注入法により、前記 MOS トランジスタの形成領域に前記パンチスルーストッパー領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 ソース領域とドレイン領域との間のパンチスルー耐圧を確保するためのパンチスルーストッパー領域を備えた MOS トランジスタと、一部または全部の領域にパンチスルーストッパー領域が不要な半導体素子とが、同一半導体基板上に集積された半導体集積回路装置を製造するにあたり、

前記 MOS トランジスタのゲート電極となるゲートポリシリコンを形成した後、前記半導体素子をマスクしながら、前記ゲートポリシリコンをマスクとしたセルフアラインによるイオン注入法により、前記 MOS トランジスタの形成領域の一部に前記パンチスルーストッパー領域を形成することを特徴とする半導体集積回路装置の製造方法。

#### 【発明の詳細な説明】

##### 【 0 0 0 1 】

#### 【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造方法に関し、特にディジタル回路、アナログ回路および高耐圧回路を混載するパワー IC に適用して好適な半導体集積回路装置に関する。

##### 【 0 0 0 2 】

#### 【従来の技術】

従来、パワー IC に搭載されているロジック回路は小規模なものであり、メモリやロジック L S I のような微細化プロセスは不要であった。しかし、近年、パ

ワー I C に対するパワーマネジメントの分野などでは、電圧監視や充電機能の高性能化に伴い、CPU などにより自己補正する必要があるが生じている。そのため、パワー I C に大規模なロジック回路を搭載する必要がある。

【0003】

一般に、メモリやロジック L S I などでは、高集積化のため、チャネル長が 1  $\mu$  m よりも短いサブミクロン MOS トランジスタが用いられている。このような短チャネル型の MOS トランジスタでは、ソース領域とドレイン領域との間のパンチスルーを抑制するため、パンチスルーストッパー層が設けられている。パンチスルーストッパー層を備えた半導体集積回路装置については、特開昭 61-190983 号公報に記載されている。

【0004】

また、特開昭 60-10780 号公報には、パンチスルーストッパー層をイオン注入法により形成する方法が記載されている。また、特開昭 60-105277 号公報には、ドレイン領域近傍での電界集中を緩和するため、P ポケット付きの LDD 構造を採用した MOS トランジスタの製造方法が記載されている。

【0005】

【発明が解決しようとする課題】

しかしながら、上述したパンチスルーストッパー層を備えたサブミクロン MOS トランジスタを、アナログ CMOS トランジスタ、高耐圧 MOS トランジスタ、バイポーラトランジスタ、ダイオードおよび拡散抵抗などと一緒に同一基板上に集積する場合、アナログ CMOS トランジスタ、高耐圧 MOS トランジスタ、バイポーラトランジスタ、ダイオードおよび拡散抵抗などにもパンチスルーストッパー層が形成されると、その拡散層の表面濃度のばらつきに起因してアナログ CMOS トランジスタのしきい値電圧の精度が低下したり、高耐圧 MOS トランジスタの耐圧が低下するなどの不具合を引き起こすという問題点がある。

【0006】

本発明は、上記問題点に鑑みてなされたものであって、サブミクロン CMOS トランジスタを、アナログ CMOS トランジスタ、高耐圧 MOS トランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などと一緒に、それぞれの

特性を劣化させることなく、同一基板上に混載した半導体集積回路装置を提供することを目的とする。

【 0 0 0 7 】

また、本発明の他の目的は、サブミクロンCMOSトランジスタ、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などを、それぞれの特性を劣化させることなく、同一基板上に混載することが可能な半導体集積回路装置の製造方法を提供することである。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる半導体集積回路装置は、半導体基板の一主面側にパンチスルーストッパ層を形成する際に、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗を形成する領域をマスクし、サブミクロンCMOSトランジスタを形成する領域を露出させてたとえばイオン注入をおこなうことによって、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗を形成する領域にパンチスルーストッパ領域が形成されるのを防ぐ。

【 0 0 0 9 】

この発明によれば、同一の半導体基板上に、パンチスルーストッパ領域を備えたサブミクロンCMOSトランジスタと、パンチスルーストッパ領域のないアナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗とが形成される。

【 0 0 1 0 】

【発明の実施の形態】

以下に、本発明の実施の形態にかかる半導体集積回路装置について図面を参照しつつ詳細に説明する。

【 0 0 1 1 】

実施の形態 1.

図1は、本発明の実施の形態1にかかる半導体集積回路装置の要部を示す縦断面図である。この半導体集積回路装置は、同一の半導体基板1上に、デジタル回路を構成するデジタルCMOSトランジスタと、アナログ回路を構成するアナログCMOSトランジスタとが形成されたものである。ただし、図1では、それぞれデジタルNMOSトランジスタ101（同図左側）とアナログNMOSトランジスタ102（同図右側）が示されており、PMOSトランジスタについては省略している。

#### 【0012】

デジタルNMOSトランジスタ101は、P型の半導体基板1の一主面側に設けられたフィールド酸化膜2と、フィールド酸化膜2に囲まれた素子形成領域において半導体基板1の一主面側に設けられたPウェル領域3を備えている。Pウェル領域3において半導体基板1の一主面側には、表面濃度が $5 \times 10^{16} \sim 2 \times 10^{17} / \text{cm}^3$ 程度のP<sup>-</sup>パンチスルーストッパー領域4が設けられている。このP<sup>-</sup>パンチスルーストッパー領域4において半導体基板1の一主面側には、N<sup>+</sup>ソース領域5、ソース側のN<sup>-</sup>LDD領域6、P<sup>-</sup>チャネル形成領域7、ドレイン側のN<sup>-</sup>LDD領域8およびN<sup>+</sup>ドレイン領域9が設けられている。

#### 【0013】

また、P<sup>-</sup>チャネル形成領域7上にはゲート絶縁膜10を介してゲートポリシリコン11が形成されている。ゲートポリシリコン11の側部にはスペーサ酸化膜12が形成されている。ソース電極13、ゲート電極14およびドレイン電極15は、層間絶縁膜16に開口されたコンタクト穴を介して、それぞれN<sup>+</sup>ソース領域5、ゲートポリシリコン11およびN<sup>+</sup>ドレイン領域9に電氣的に接続されている。さらにその上には、図示しない配線やパッシベーション膜などが積層される。

#### 【0014】

上述した構成のデジタルNMOSトランジスタ101とともにデジタルCMOSトランジスタを構成するデジタルPMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成はデジタルNMOSトランジスタ101と同様である。ただし、上述したデ



デジタルNMOSトランジスタ101に関する説明の中で、半導体基板1を除いて、PをNに読み替え、またNをPに読み替える必要がある。

## 【0015】

上述した構成のデジタルCMOSトランジスタにおいては、たとえば最小チャネル長は $0.6\mu\text{m}$ 程度である。また、しきい値電圧は $0.8\text{V}$ 程度である。このデジタルCMOSトランジスタはロジック回路に使用される。

## 【0016】

アナログNMOSトランジスタ102は、P型の半導体基板1の一主面側に設けられたフィールド酸化膜22と、フィールド酸化膜22に囲まれた素子形成領域において半導体基板1の一主面側に設けられたPウェル領域23を備えている。Pウェル領域23において半導体基板1の一主面側には、 $\text{N}^+$ ソース領域25、ソース側の $\text{N}^-$ LDD領域26、 $\text{P}^-$ チャネル形成領域27、ドレイン側の $\text{N}^-$ LDD領域28および $\text{N}^+$ ドレイン領域29が設けられている。

## 【0017】

また、 $\text{P}^-$ チャネル形成領域27上にはゲート絶縁膜30を介してゲートポリシリコン31が形成されている。ゲートポリシリコン31の側部にはスペーサ酸化膜32が形成されている。ソース電極33、ゲート電極34およびドレイン電極35は、層間絶縁膜36に開口されたコンタクト穴を介してそれぞれ $\text{N}^+$ ソース領域25、ゲートポリシリコン31および $\text{N}^+$ ドレイン領域29に電氣的に接続されている。さらにその上には、図示しない配線やパッシベーション膜などが積層される。

## 【0018】

上述した構成のアナログNMOSトランジスタ102とともにアナログCMOSトランジスタを構成するアナログPMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成はアナログNMOSトランジスタ102と同様である。ただし、上述したアナログNMOSトランジスタ102に関する説明の中で、半導体基板1を除いて、PをNに読み替え、またNをPに読み替える必要がある。

## 【0019】

上述した構成のアナログCMOSトランジスタにおいては、たとえば最小チャネル長は $1.0\mu\text{m}$ 程度である。また、しきい値電圧はデジタルCMOSトランジスタよりも低く、 $0.6\text{V}$ 程度である。このアナログCMOSトランジスタは、基準電圧回路、バイアス回路または各種オペアンプ回路など、しきい値電圧の高精度が要求される回路に使用される。そのため、ゲートポリシリコン31の加工バラツキなどをできるだけ抑制する必要があるので、ゲート長は $4\mu\text{m}$ 程度以上である。したがって、アナログCMOSトランジスタにおいては微細化は不要である。

## 【0020】

つぎに、実施の形態1にかかる半導体集積回路装置の製造プロセスについて説明する。図2および図3は、実施の形態1にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。まず、図2に示すように、半導体基板1の一主面側にPウェル領域3、23、フィールド酸化膜2、22およびゲート絶縁膜10、30をそれぞれ公知の方法により形成する。

## 【0021】

つづいて、アナログNMOSトランジスタ102の形成領域を被覆し、かつデジタルNMOSトランジスタ101の形成領域に対応する窓のパターンを有するマスク（図示せず）を用いて、イオン注入法によりデジタルNMOSトランジスタ101の形成領域にのみ $\text{P}^-$ パンチスルーストッパー領域4を形成する。さらに、イオン注入法により $\text{P}^-$ チャネル形成領域7、27を形成する。ここまでの状態が図2に示されている。

## 【0022】

つづいて、図3に示すように、ゲートポリシリコン11、31を形成し、これらゲートポリシリコン11、31をマスクとしたセルフアラインにて、イオン注入法により $\text{N-LDD}$ 領域6、8、26、28を形成する。つづいて、ゲートポリシリコン11、31のそれぞれの側部にスペーサ酸化膜12、32を形成し、これらスペーサ酸化膜12、32をそれぞれマスクとしたセルフアラインにて、イオン注入法により $\text{N}^+$ ソース領域5、25および $\text{N}^+$ ドレイン領域9、29を形成する。なお、 $\text{P}^-$ パンチスルーストッパー領域4を含む各不純物拡散領域は熱

処理により活性化される。ここまでの状態が図3に示されている。

#### 【0023】

つづいて、層間絶縁膜16（層間絶縁膜36と同じ）を積層し、コンタクト穴を開く。そして、ソース電極13、33、ゲート電極14、34およびドレイン電極15、35をそれぞれパターニングして形成し、図1に示す状態となる。さらにその上に配線およびパッシベーション膜などを形成し、半導体集積回路装置ができあがる。なお、PMOSトランジスタも同様にして製造される。

#### 【0024】

上述した実施の形態1によれば、同一の半導体基板1上に、パンチスルーストップ領域4を備えたデジタルNMOSトランジスタ101と、パンチスルーストップ領域のないアナログNMOSトランジスタ102とが形成されるので、アナログNMOSトランジスタ102においてバラツキ要因となる拡散層を1層減らすことができる。したがって、アナログNMOSトランジスタ102のしきい値電圧の精度低下を防ぐことができる。また、アナログNMOSトランジスタ102のしきい値電圧を低く設定することができる。デジタルPMOSトランジスタおよびアナログPMOSトランジスタにおいても同様である。

#### 【0025】

実施の形態2.

図4は、本発明の実施の形態2にかかる半導体集積回路装置の要部を示す縦断面図である。この半導体集積回路装置は、同一の半導体基板1上に、デジタルCMOSトランジスタを構成するデジタルNMOSトランジスタ111（同図左側）およびデジタルPMOSトランジスタ（図示省略）と、アナログCMOSトランジスタを構成するアナログNMOSトランジスタ102（同図右側）およびアナログPMOSトランジスタ（図示省略）とが形成されたものである。なお、実施の形態1と同じ構成については同一の符号を付してその説明を省略する。

#### 【0026】

デジタルNMOSトランジスタ111は、P型の半導体基板1の一主面側にフィールド酸化膜2、Pウェル領域3、P<sup>-</sup>パンチスルーストップ領域41、

$N^+$ ソース領域5、ソース側の $N-LDD$ 領域6、 $P^-$ チャネル形成領域7、ドレイン側の $N-LDD$ 領域8、 $N^+$ ドレイン領域9、ゲート絶縁膜10、ゲートポリシリコン11、スペーサ酸化膜12、層間絶縁膜16、ソース電極13、ゲート電極14、およびドレイン電極15を有する。

## 【0027】

$P^-$ パンチスルーストッパー領域41は、その表面濃度が $5 \times 10^{16} \sim 2 \times 10^{17} / \text{cm}^3$ 程度で、かつ $N-LDD$ 領域6、8を囲うポケット構造となっている。また、デジタルPMOSトランジスタは、P型の半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成はデジタルNMOSトランジスタ111の説明においてPとNを読み替えた構成となる。

## 【0028】

上述した構成のデジタルCMOSトランジスタにおいては、たとえば最小チャネル長は $0.6 \mu\text{m}$ 程度である。また、しきい値電圧は $0.8 \text{V}$ 程度である。このデジタルCMOSトランジスタはロジック回路に使用される。

## 【0029】

実施の形態1と同様に、アナログPMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成は実施の形態1中のアナログNMOSトランジスタ102の説明においてPとNを読み替えた構成となる。

## 【0030】

つぎに、実施の形態2にかかる半導体集積回路装置の製造プロセスについて説明する。図5および図6は、実施の形態2にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。まず、図5に示すように、半導体基板1の一主面側にPウェル領域3、23、フィールド酸化膜2、22およびゲート絶縁膜10、30をそれぞれ公知の方法により形成する。

## 【0031】

つづいて、イオン注入法により $P^-$ チャネル形成領域7、27を形成した後、ゲートポリシリコン11、31を形成する。そして、デジタルNMOSトランジスタ111の形成領域にのみ、ゲートポリシリコン11をマスクとしたセルフ

アラインにて、イオン注入法によりポケット構造の $P^-$ パンチスルーストッパ領域41を形成する。その際、アナログNMOSトランジスタ102の形成領域に不純物が打ち込まれないようにマスクしておく。ここまでの状態が図5に示されている。

#### 【0032】

つづいて、図6に示すように、ゲートポリシリコン11, 31をマスクとしたセルフアラインにて、イオン注入法により $N-LDD$ 領域6, 8, 26, 28を形成し、以後、実施の形態1と同様にしてスペーサ酸化膜12, 32、 $N^+$ ソース領域5, 25および $N^+$ ドレイン領域9, 29を形成する。 $P^-$ パンチスルーストッパ領域41を含む各不純物拡散領域は熱処理により活性化される。ここまでの状態が図6に示されている。

#### 【0033】

しかる後、実施の形態1と同様にして、層間絶縁膜16, 36、ソース電極13, 33、ゲート電極14, 34およびドレイン電極15, 35を形成し、図4に示す状態となる。さらにその上に配線およびパッシベーション膜などを形成し、半導体集積回路装置ができあがる。なお、PMOSトランジスタも同様にして製造される。

#### 【0034】

上述した実施の形態2によれば、同一の半導体基板1上に、パンチスルーストッパ領域41を備えたデジタルNMOSトランジスタ111と、パンチスルーストッパ領域のないアナログNMOSトランジスタ102とが形成されるので、アナログNMOSトランジスタ102においてバラツキ要因となる拡散層を1層減らすことができる。したがって、アナログNMOSトランジスタ102のしきい値電圧の精度低下を防ぐことができる。また、アナログNMOSトランジスタ102のしきい値電圧を低く設定することができる。デジタルPMOSトランジスタおよびアナログPMOSトランジスタにおいても同様である。

#### 【0035】

実施の形態3.

図7は、本発明の実施の形態3にかかる半導体集積回路装置の要部を示す縦断

面図である。この半導体集積回路装置は、同一の半導体基板 1 上に、デジタル回路を構成するデジタル CMOS トランジスタと、高耐圧回路を構成する高耐圧 CMOS トランジスタとが形成されたものである。ただし、図 7 では、それぞれデジタル NMOS トランジスタ 101（同図左側）と高耐圧 NMOS トランジスタ 122（同図右側）が示されており、PMOS トランジスタについては省略している。なお、実施の形態 1 と同じ構成については同一の符号を付して説明を省略する。

## 【0036】

高耐圧 NMOS トランジスタ 122 は、P 型の半導体基板 1 の一主面側に設けられたフィールド酸化膜 52 と、フィールド酸化膜 52 に囲まれた素子形成領域において半導体基板 1 の一主面側に設けられた P ウェル領域 53 を備えている。P ウェル領域 53 において半導体基板 1 の一主面側には、 $N^+$  ソース領域 55、ソース側の  $N^-$  LDD 領域 56、 $P^-$  チャネル形成領域 57 および  $N^-$  オフセットドレイン領域 67 が設けられている。 $N^-$  オフセットドレイン領域 67 において半導体基板 1 の一主面側には、選択酸化（LOCOS）領域 68 により  $P^-$  チャネル形成領域 57 から隔絶された  $N^+$  ドレイン領域 59 が設けられている。

## 【0037】

また、 $P^-$  チャネル形成領域 57 上にはゲート絶縁膜 60 を介してゲートポリシリコン 61 が形成されている。ゲートポリシリコン 61 の側部にはスペーサ酸化膜 62 が形成されている。ソース電極 63、ゲート電極 64 およびドレイン電極 65 は、層間絶縁膜 66 に開口されたコンタクト穴を介してそれぞれ  $N^+$  ソース領域 55、ゲートポリシリコン 61 および  $N^+$  ドレイン領域 59 に電氣的に接続されている。さらにその上には、図示しない配線やパッシベーション膜などが積層される。

## 【0038】

上述した構成の高耐圧 NMOS トランジスタ 122 とともに高耐圧 CMOS トランジスタを構成する高耐圧 PMOS トランジスタは、半導体基板 1 の一主面側に設けられた図示しない N ウェル領域において作製され、その構成は高耐圧 NMOS トランジスタ 122 と同様である。ただし、上述した高耐圧 NMOS トラン

ジスタ 1 2 2 に関する説明の中で、半導体基板 1 を除いて、P を N に読み替え、また N を P に読み替える必要がある。

## 【 0 0 3 9 】

上述した構成の高耐圧 CMOS トランジスタにおいては、その不純物濃度および  $x_j$  は、要求される耐圧に応じて決まる。たとえば、耐圧が 3 0 V ~ 6 0 V クラスでは、 $x_j$  は 1  $\mu$  m 程度であり、表面濃度は  $1 \times 10^{17} / \text{cm}^3$  程度である。

## 【 0 0 4 0 】

実施の形態 1 と同様に、デジタル PMOS トランジスタは、半導体基板 1 の一主面側に設けられた図示しない N ウェル領域において作製され、その構成は実施の形態 1 中のデジタル NMOS トランジスタ 1 0 1 の説明において P と N を読み替えた構成となる。

## 【 0 0 4 1 】

つぎに、実施の形態 3 にかかる半導体集積回路装置の製造プロセスについて説明する。図 8 および図 9 は、実施の形態 3 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。まず、図 8 に示すように、半導体基板 1 の一主面側に P ウェル領域 3、5 3、N<sup>-</sup>オフセットドレイン領域 6 7、フィールド酸化膜 2、5 2 と選択酸化 (LOCOS) 領域 6 8、およびゲート絶縁膜 1 0、6 0 をそれぞれ公知の方法により形成する。

## 【 0 0 4 2 】

つづいて、高耐圧 NMOS トランジスタ 1 2 2 の形成領域を被覆し、かつデジタル NMOS トランジスタ 1 0 1 の形成領域に対応する窓のパターンを有するマスク (図示せず) を用いて、イオン注入法によりデジタル NMOS トランジスタ 1 0 1 の形成領域にのみ P<sup>-</sup>パンチスルーストッパー領域 4 を形成する。さらに、イオン注入法により P<sup>-</sup>チャネル形成領域 7、5 7 を形成する。ここまでの状態が図 8 に示されている。

## 【 0 0 4 3 】

つづいて、図 9 に示すように、ゲートポリシリコン 1 1、6 1 を形成し、これらゲートポリシリコン 1 1、6 1 をマスクとしたセルフアラインにて、イオン注

入法によりN-LDD領域6, 8, 56を形成する。つづいて、ゲートポリシリコン11, 61のそれぞれの側部にスペーサ酸化膜12, 62を形成し、これらスペーサ酸化膜12, 62をそれぞれマスクとしたセルフアラインにて、イオン注入法によりN<sup>+</sup>ソース領域5, 55およびN<sup>+</sup>ドレイン領域9を形成する。

## 【0044】

このとき、N<sup>+</sup>ドレイン領域59の形成領域にもイオン注入がおこなわれ、それによってN<sup>+</sup>ドレイン領域59が形成される。なお、P<sup>-</sup>パンチスルーストッパー領域4を含む各不純物拡散領域は熱処理により活性化される。ここまでの状態が図9に示されている。

## 【0045】

つづいて、層間絶縁膜16（層間絶縁膜66と同じ）を積層し、それにコンタクト穴を開口して、ソース電極13, 63、ゲート電極14, 64およびドレイン電極15, 65を形成し、図7に示す状態となる。さらにその上に配線およびパッシベーション膜などを形成し、半導体集積回路装置ができあがる。なお、PMOSトランジスタも同様にして製造される。

## 【0046】

上述した実施の形態3によれば、同一の半導体基板1上に、パンチスルーストッパー領域4を備えたデジタルNMOSトランジスタ101と、パンチスルーストッパー領域のない高耐圧NMOSトランジスタ122とが形成されるので、高耐圧NMOSトランジスタ122の耐圧の低下を防ぐことができる。デジタルPMOSトランジスタおよび高耐圧PMOSトランジスタにおいても同様である。

## 【0047】

なお、実施の形態3において、デジタルNMOSトランジスタ101のパンチスルーストッパー領域4を、実施の形態2と同様に、ゲートポリシリコン11をマスクとしたセルフアラインで形成し、ポケット構造とすることもできる。

## 【0048】

実施の形態4.

図10は、本発明の実施の形態4にかかる半導体集積回路装置の要部を示す縦



断面図である。この半導体集積回路装置は、同一の半導体基板 1 上に、デジタル回路を構成するデジタル CMOS トランジスタと、高耐圧回路を構成する高耐圧 CMOS トランジスタとが形成されたものである。

## 【0049】

ただし、図 10 では、それぞれデジタル NMOS トランジスタ 101（同図左側）と高耐圧 NMOS トランジスタ 132（同図右側）が示されており、PMOS トランジスタについては省略している。なお、実施の形態 1 と同じ構成については同一の符号を付して説明を省略する。

## 【0050】

高耐圧 NMOS トランジスタ 132 は、実施の形態 3 にかかる半導体集積回路装置の高耐圧 NMOS トランジスタ 122 のソース部に P<sup>-</sup>パンチスルーストッパ領域 71 を追加した構成となっている。したがって、実施の形態 3 と同じ構成については同一の符号を付して説明を省略する。P<sup>-</sup>パンチスルーストッパ領域 71 は、P ウェル領域 53 において半導体基板 1 の一主面側で、かつ N<sup>+</sup>ソース領域 55 およびソース側の N-LDD 領域 56 を囲うように形成されている。

## 【0051】

上述した構成の高耐圧 NMOS トランジスタ 132 とともに高耐圧 CMOS トランジスタを構成する高耐圧 PMOS トランジスタは、半導体基板 1 の一主面側に設けられた図示しない N ウェル領域において作製され、その構成は高耐圧 NMOS トランジスタ 132 と同様である。ただし、上述した高耐圧 NMOS トランジスタ 132 に関する説明の中で、半導体基板 1 を除いて、P を N に読み替え、また N を P に読み替える必要がある。

## 【0052】

上述した構成の高耐圧 CMOS トランジスタの不純物濃度および  $x_j$  は、要求される耐圧に応じて決まるが、たとえば、耐圧が 30V～60V クラスでは、 $x_j$  は 1  $\mu$ m 程度であり、表面濃度は  $1 \times 10^{17} / \text{cm}^3$  程度である。

## 【0053】

実施の形態 1 と同様に、デジタル PMOS トランジスタは、半導体基板 1 の

一主面側に設けられた図示しないNウェル領域において作製され、その構成は実施の形態1中のデジタルNMOSトランジスタ101の説明においてPとNを読み替えた構成となる。

## 【0054】

つぎに、実施の形態4にかかる半導体集積回路装置の製造プロセスについて説明する。図11および図12は、実施の形態4にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。まず、図11に示すように、半導体基板1の一主面側にPウェル領域3、53、N<sup>-</sup>オフセットドレイン領域67、フィールド酸化膜2、52と選択酸化(LOCOS)領域68、およびゲート絶縁膜10、60をそれぞれ公知の方法により形成する。

## 【0055】

つづいて、高耐圧NMOSトランジスタ132のドレイン形成領域を被覆し、かつ高耐圧NMOSトランジスタ132のソース形成領域とデジタルNMOSトランジスタ101の形成領域に対応する窓のパターンを有するマスク(図示せず)を用いて、イオン注入法により、高耐圧NMOSトランジスタ132のソース形成領域にP<sup>-</sup>パンチスルーストッパー領域71を形成するとともに、デジタルNMOSトランジスタ101の形成領域にP<sup>-</sup>パンチスルーストッパー領域4を形成する。さらに、イオン注入法によりP<sup>-</sup>チャネル形成領域7、57を形成する。ここまでの状態が図11に示されている。

## 【0056】

つづいて、図12に示すように、ゲートポリシリコン11、61を形成し、これらゲートポリシリコン11、61をマスクとしたセルフアラインにて、イオン注入法によりN<sup>-</sup>LDD領域6、8、56を形成する。つづいて、ゲートポリシリコン11、61のそれぞれの側部にスペーサ酸化膜12、62を形成し、これらスペーサ酸化膜12、62をそれぞれマスクとしたセルフアラインにて、イオン注入法によりN<sup>+</sup>ソース領域5、55およびN<sup>+</sup>ドレイン領域9を形成する。

## 【0057】

このとき、N<sup>+</sup>ドレイン領域59の形成領域にもイオン注入がおこなわれ、それによってN<sup>+</sup>ドレイン領域59が形成される。なお、P<sup>-</sup>パンチスルーストッパ

一領域 4, 71 を含む各不純物拡散領域は熱処理により活性化される。ここまでの状態が図 12 に示されている。

【0058】

つづいて、層間絶縁膜 16 (層間絶縁膜 66 と同じ) を積層し、それにコンタクト穴を開口して、ソース電極 13, 63、ゲート電極 14, 64 およびドレイン電極 15, 65 を形成し、図 10 に示す状態となる。さらにその上に配線およびパッシベーション膜などを形成し、半導体集積回路装置ができあがる。なお、PMOS トランジスタも同様にして製造される。

【0059】

上述した実施の形態 4 によれば、同一の半導体基板 1 上に、パンチスルーストッパ領域 4 を備えたデジタル NMOS トランジスタ 101 と、ドレイン部にパンチスルーストッパ領域がなく、かつソース部にパンチスルーストッパ領域 71 を有する高耐圧 NMOS トランジスタ 132 とが形成されるので、高耐圧 NMOS トランジスタ 132 の耐圧の低下を防ぐことができるのに加えて、高耐圧 NMOS トランジスタ 132 のチャネル長をより短くする、すなわち微細化することができる。デジタル PMOS トランジスタおよび高耐圧 PMOS トランジスタにおいても同様である。

【0060】

なお、実施の形態 4 において、デジタル NMOS トランジスタ 101 のパンチスルーストッパ領域 4 を、実施の形態 2 と同様に、ゲートポリシリコン 11 をマスクとしたセルフアラインで形成し、ポケット構造とすることもできる。

【0061】

以上において本発明は、デジタル CMOS トランジスタと、アナログ CMOS トランジスタまたは高耐圧 CMOS トランジスタとを同一基板上に集積する場合に限らず、デジタル CMOS トランジスタおよびアナログ CMOS トランジスタとバイポーラトランジスタとを集積する場合にも適用可能である。この場合には、たとえば図 13 に示すように、ウェル領域 83 をバイポーラトランジスタ 201 のコレクタ領域とし、ウェル領域 83 内の、ウェル領域 83 と反対の導電型の半導体領域 87 をベース領域とし、さらにそのベース領域となる半導体領域

87内のソース・ドレイン領域に該当する半導体領域89をエミッタ領域とすればよい。たとえばnpnトランジスタの場合には、ウェル領域83はN型、ベース領域となる半導体領域87はP型、エミッタ領域となる半導体領域89はN型となる。そして、パンチスルーストッパー領域はデジタルCMOSトランジスタにのみ設けられる。ベース領域となる半導体領域87は、たとえば実施の形態3においてオフセットドレイン67を形成する際に同時形成される。なお、図13において、符号82は選択酸化領域、符号84および符号85はコンタクト用の高濃度不純物領域、符号86は層間絶縁膜、符号90はコレクタ電極、符号91はベース電極、符号92はエミッタ電極である。

## 【0062】

また、本発明は、デジタルCMOSトランジスタおよびアナログCMOSトランジスタとダイオードとを集積する場合にも適用可能である。この場合には、たとえば図13に示す構成において、ウェル領域83とベース領域となる半導体領域87とのPN接合、あるいはベース領域となる半導体領域87とエミッタ領域となる半導体領域89とのPN接合を用いてダイオードを構成し、デジタルCMOSトランジスタにのみパンチスルーストッパー領域を設ければよい。

## 【0063】

さらには、デジタルCMOSトランジスタおよびアナログCMOSトランジスタと拡散抵抗とを集積する場合にも適用可能である。この場合には、たとえば図14に示すように、ウェル領域93上に形成した不純物拡散領域97を利用して拡散抵抗211を構成し、デジタルCMOSトランジスタにのみパンチスルーストッパー領域を設ければよい。この不純物拡散領域97は、たとえば実施の形態3においてオフセットドレイン67を形成する際に同時形成される。ここで、拡散抵抗211は、たとえば $x_j$ が0.5~2.5 $\mu\text{m}$ 程度であり、表面の不純物濃度が $1 \times 10^{16} \sim 5 \times 10^{18} / \text{cm}^3$ 程度である。なお、図14において、符号94は選択酸化領域、符号95はコンタクト用の高濃度不純物領域、符号96は層間絶縁膜、符号98は電極である。

## 【0064】

## 【発明の効果】

本発明によれば、同一の半導体基板上に、パンチスルーストッパ領域を備えたサブミクロンCMOSトランジスタと、パンチスルーストッパ領域のないアナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗とが形成されるので、それぞれの特性を劣化させることなく、サブミクロンCMOSトランジスタを、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などと一緒に混載した半導体集積回路装置が得られるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 にかかる半導体集積回路装置の要部を示す縦断面図である。

【図 2】

本発明の実施の形態 1 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図 3】

本発明の実施の形態 1 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図 4】

本発明の実施の形態 2 にかかる半導体集積回路装置の要部を示す縦断面図である。

【図 5】

本発明の実施の形態 2 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図 6】

本発明の実施の形態 2 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図 7】

本発明の実施の形態 3 にかかる半導体集積回路装置の要部を示す縦断面図であ

る。

【図 8】

本発明の実施の形態 3 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図 9】

本発明の実施の形態 3 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図 1 0】

本発明の実施の形態 4 にかかる半導体集積回路装置の要部を示す縦断面図である。

【図 1 1】

本発明の実施の形態 4 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図 1 2】

本発明の実施の形態 4 にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図 1 3】

本発明にかかる半導体集積回路装置においてバイポーラトランジスタが集積された部分の要部を示す縦断面図である。

【図 1 4】

本発明にかかる半導体集積回路装置において拡散抵抗が集積された部分の要部を示す縦断面図である。

【符号の説明】

- 1 半導体基板
- 4, 4 1, 7 1 パンチスルーストッパー領域
- 5, 5 5 ソース領域
- 9, 5 9 ドレイン領域
- 6 7 オフセットドレイン領域
- 1 0 1, 1 1 1 デジタル NMOS トランジスタ (第 1 の MOS トランジスタ)

タ)

102 アナログNMOSトランジスタ (第2のMOSトランジスタ)

122, 132 高耐圧NMOSトランジスタ

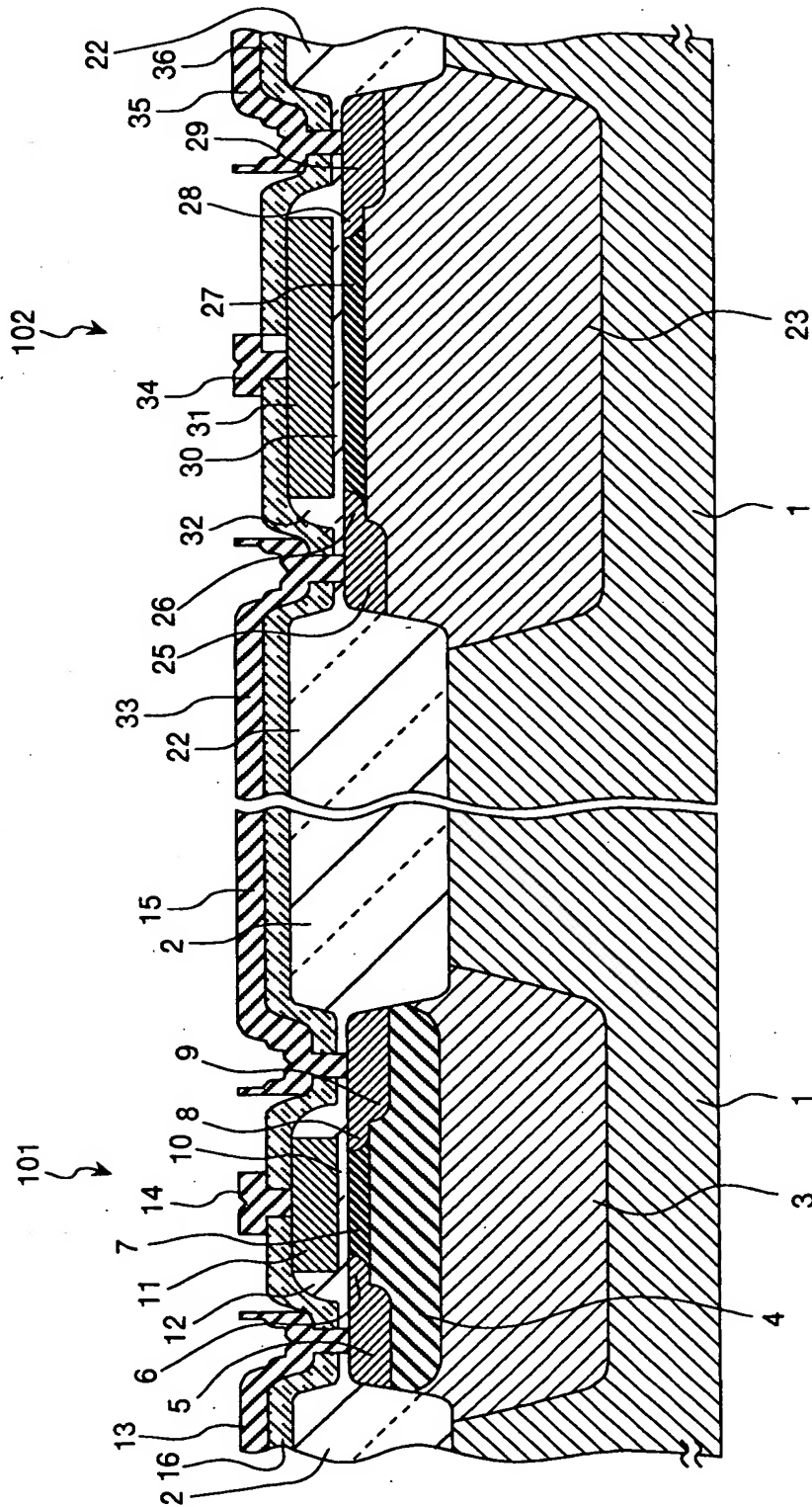
201 バイポーラトランジスタ

211 拡散抵抗

【書類名】

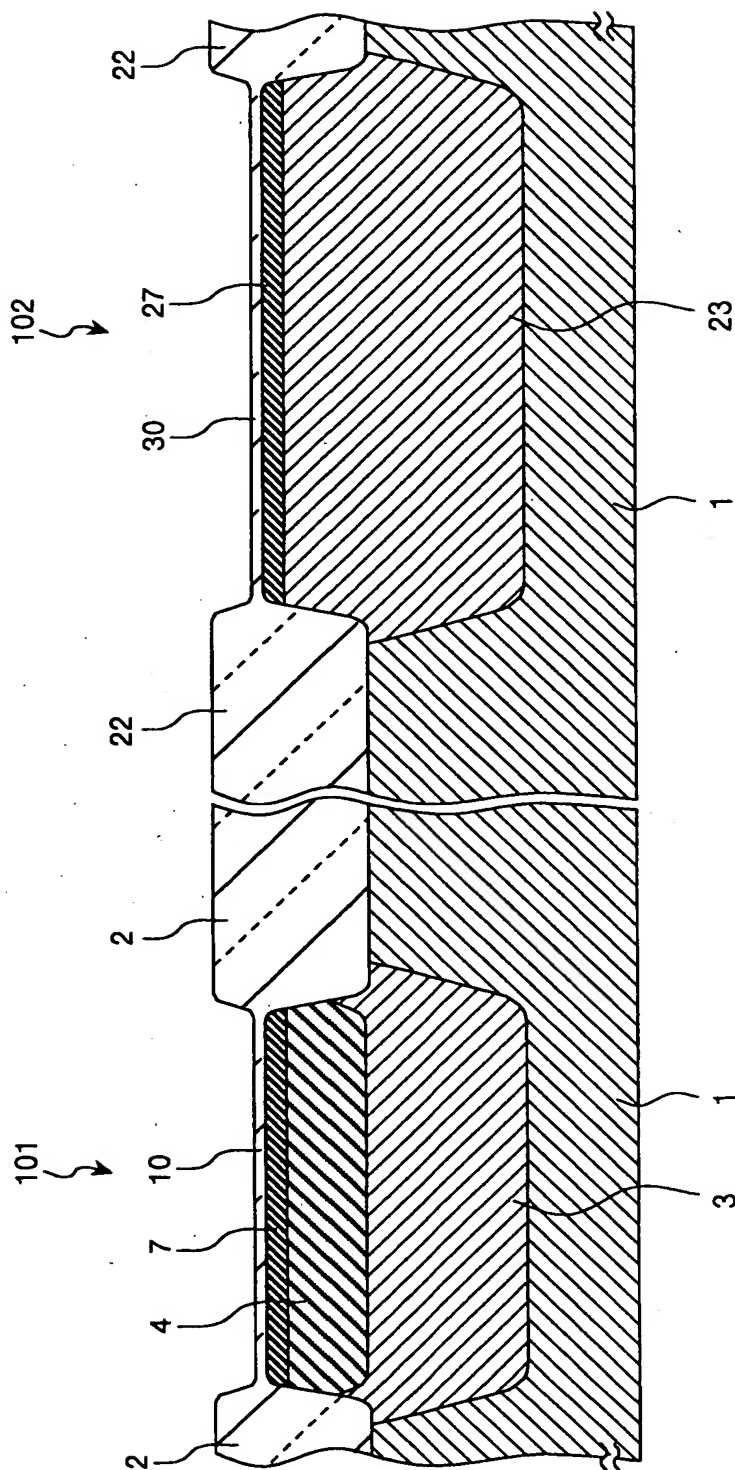
図面

【図 1】

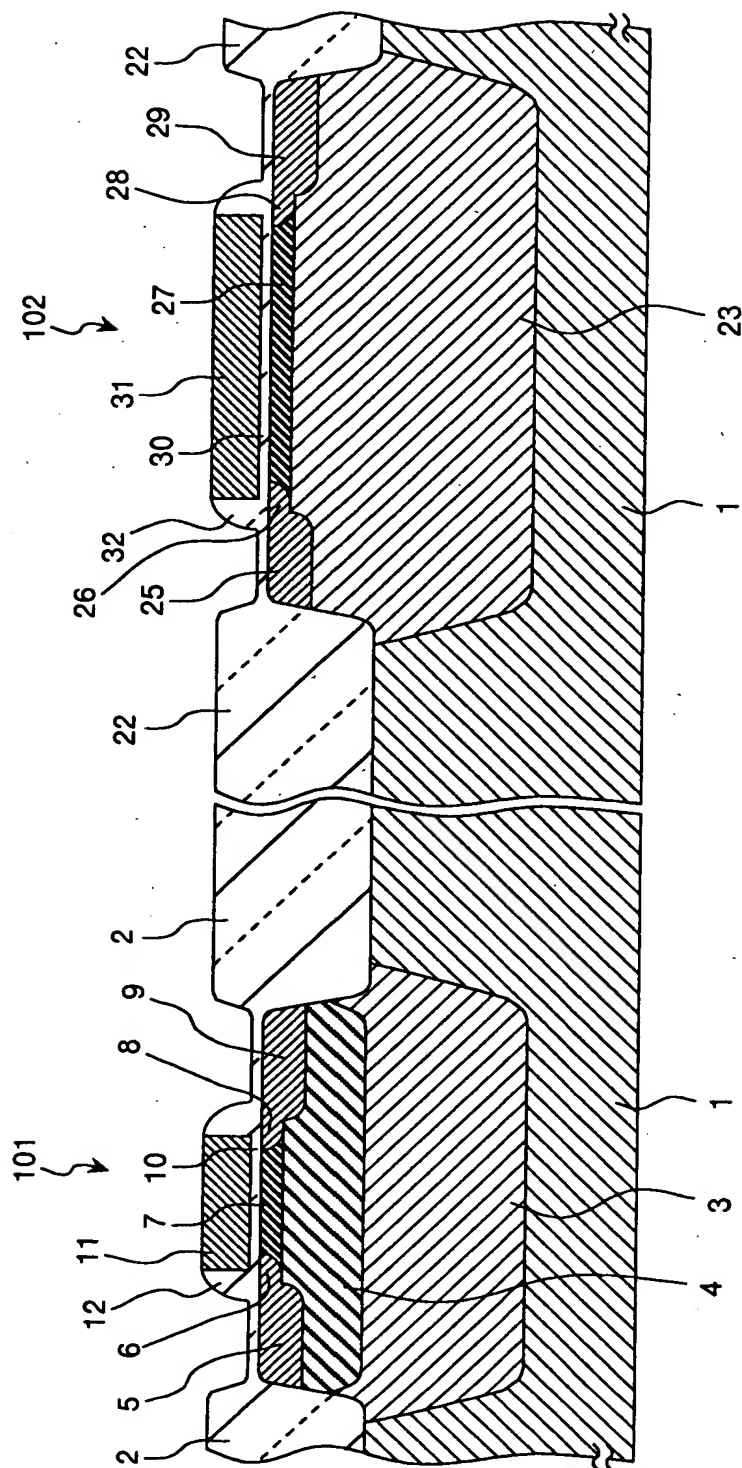




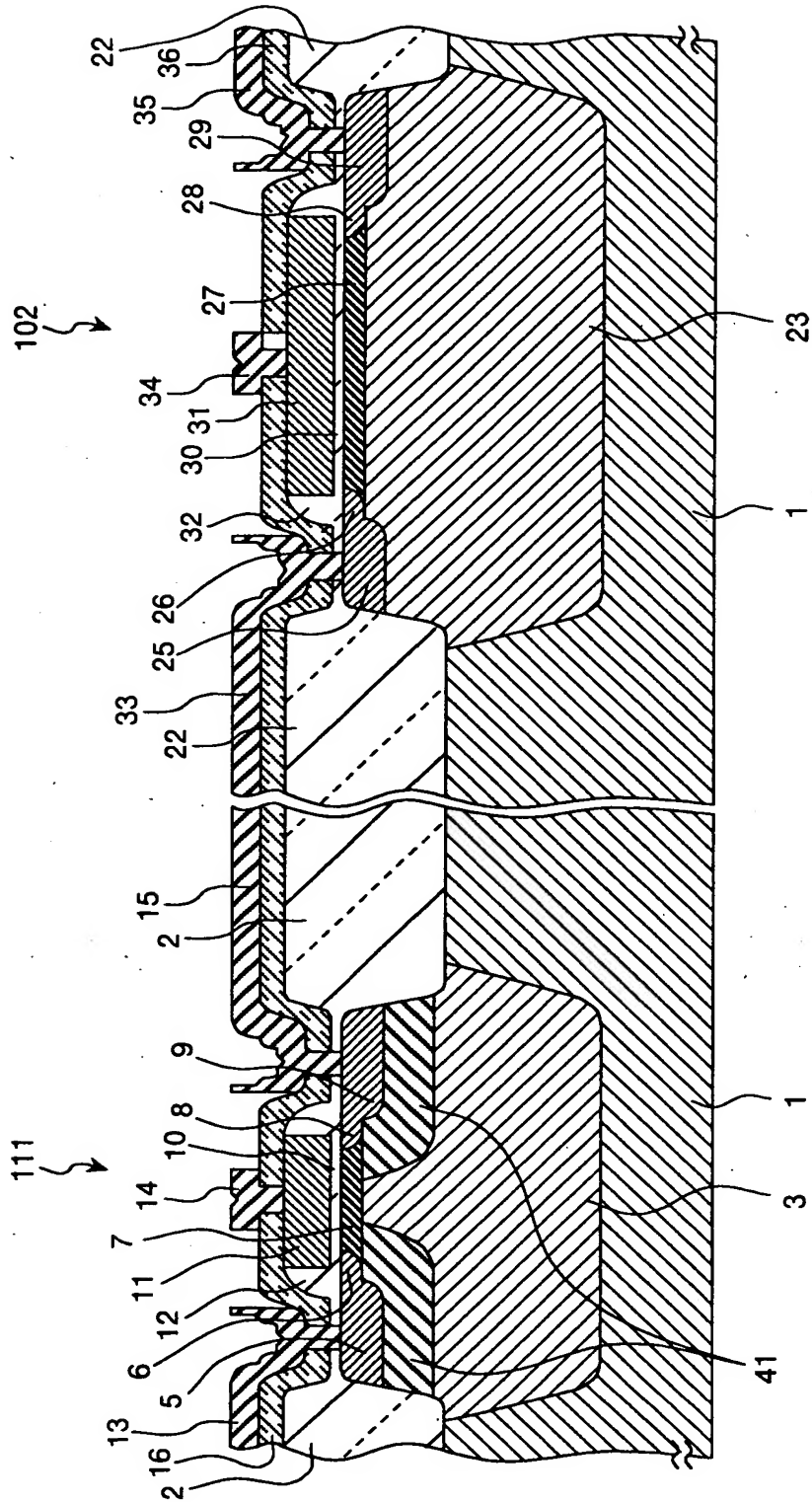
【図 2】



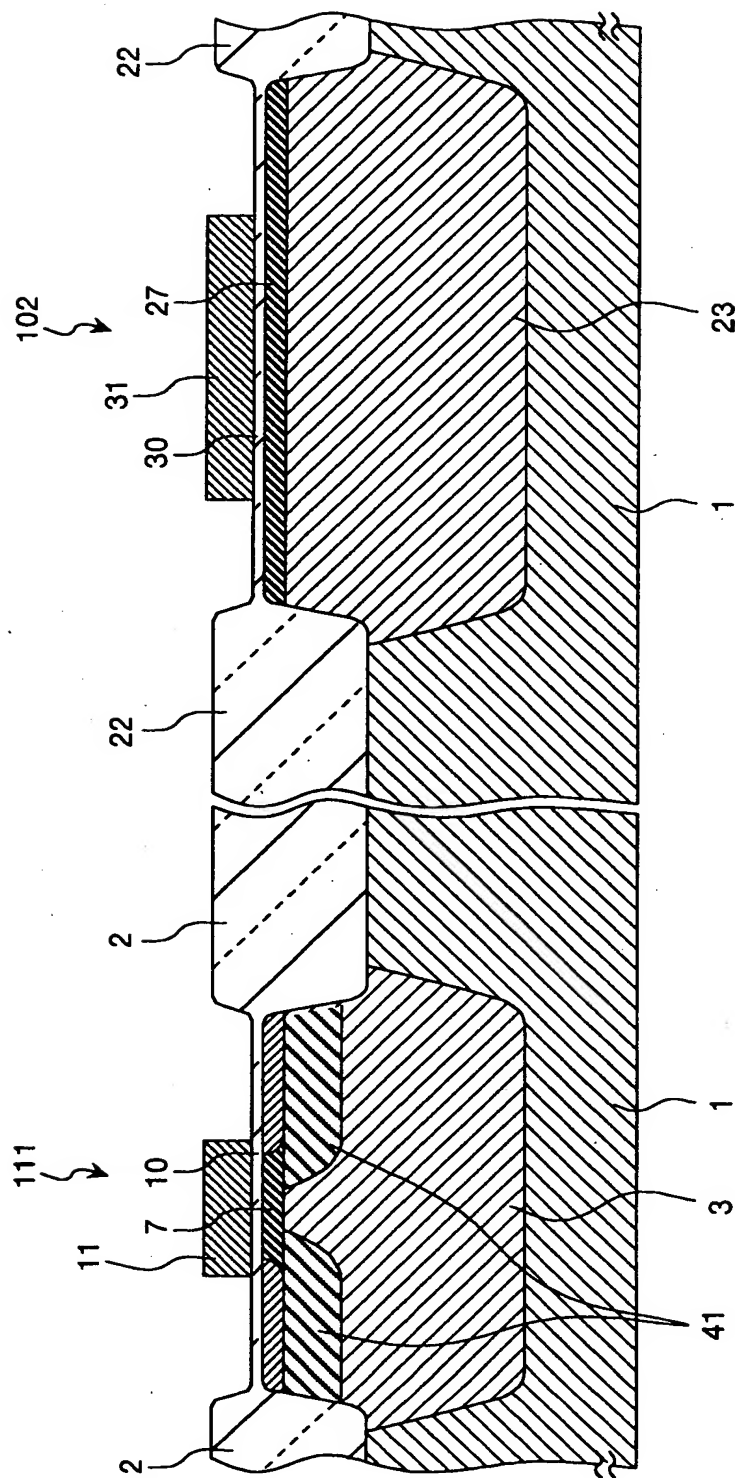
【図 3】



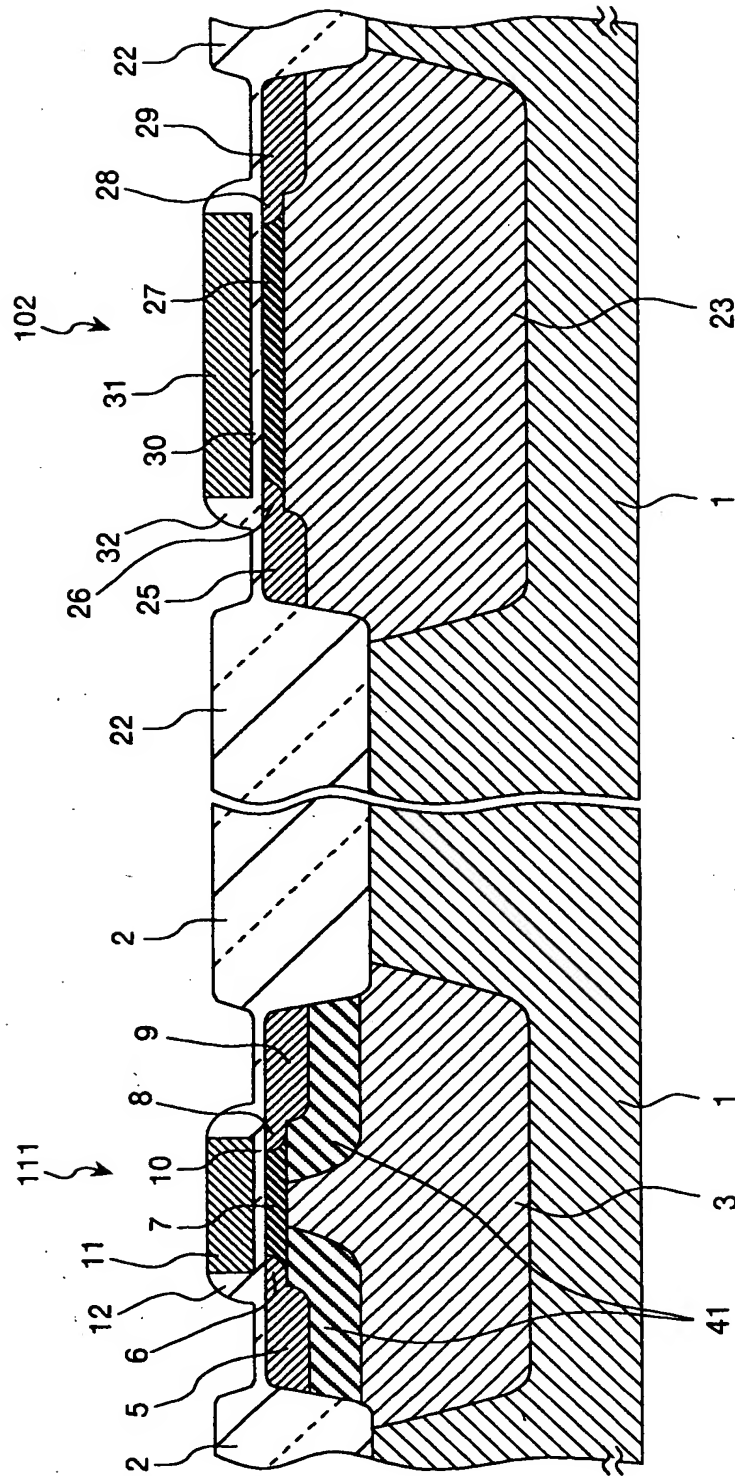
【図 4】



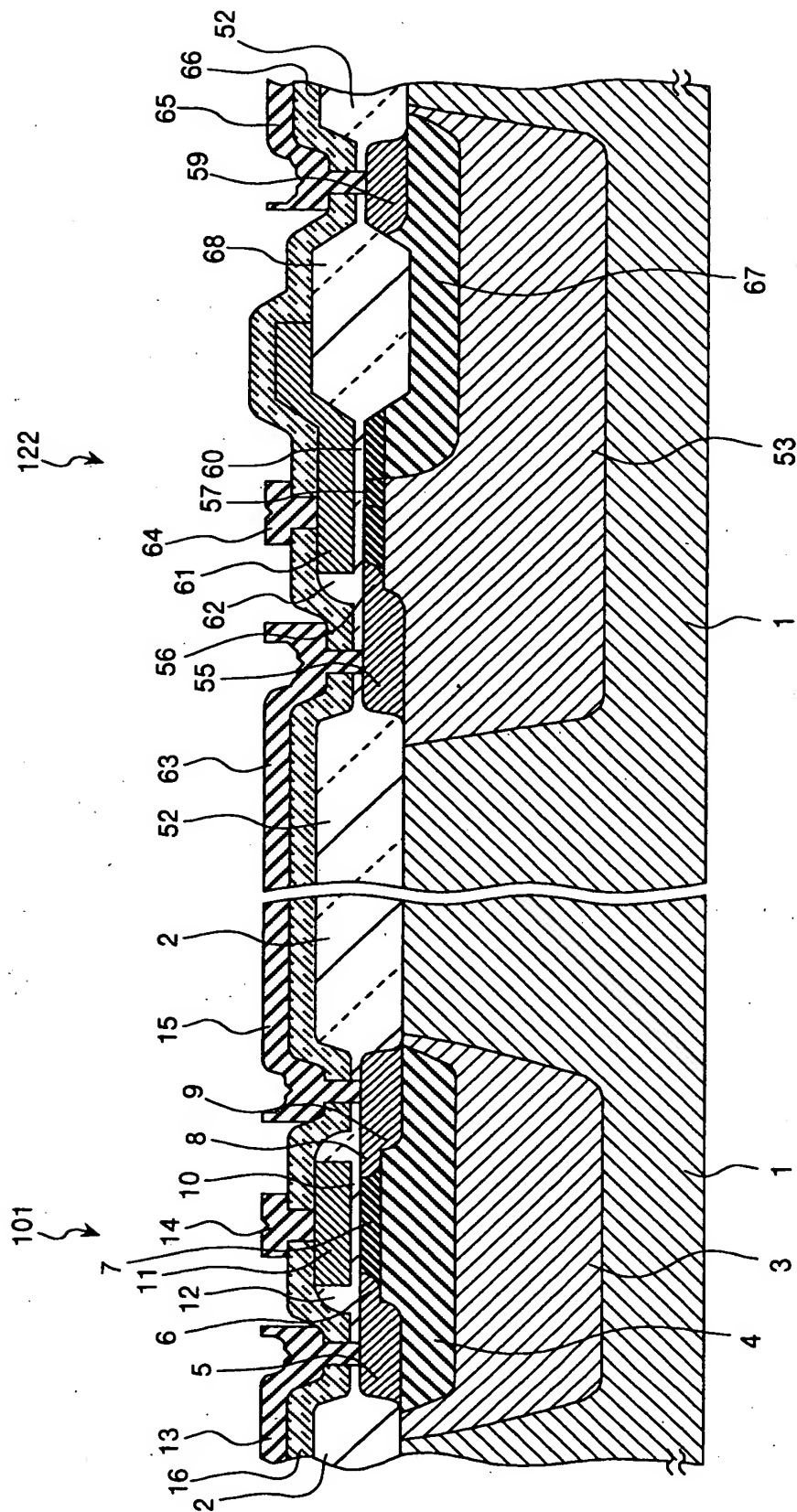
【図 5】



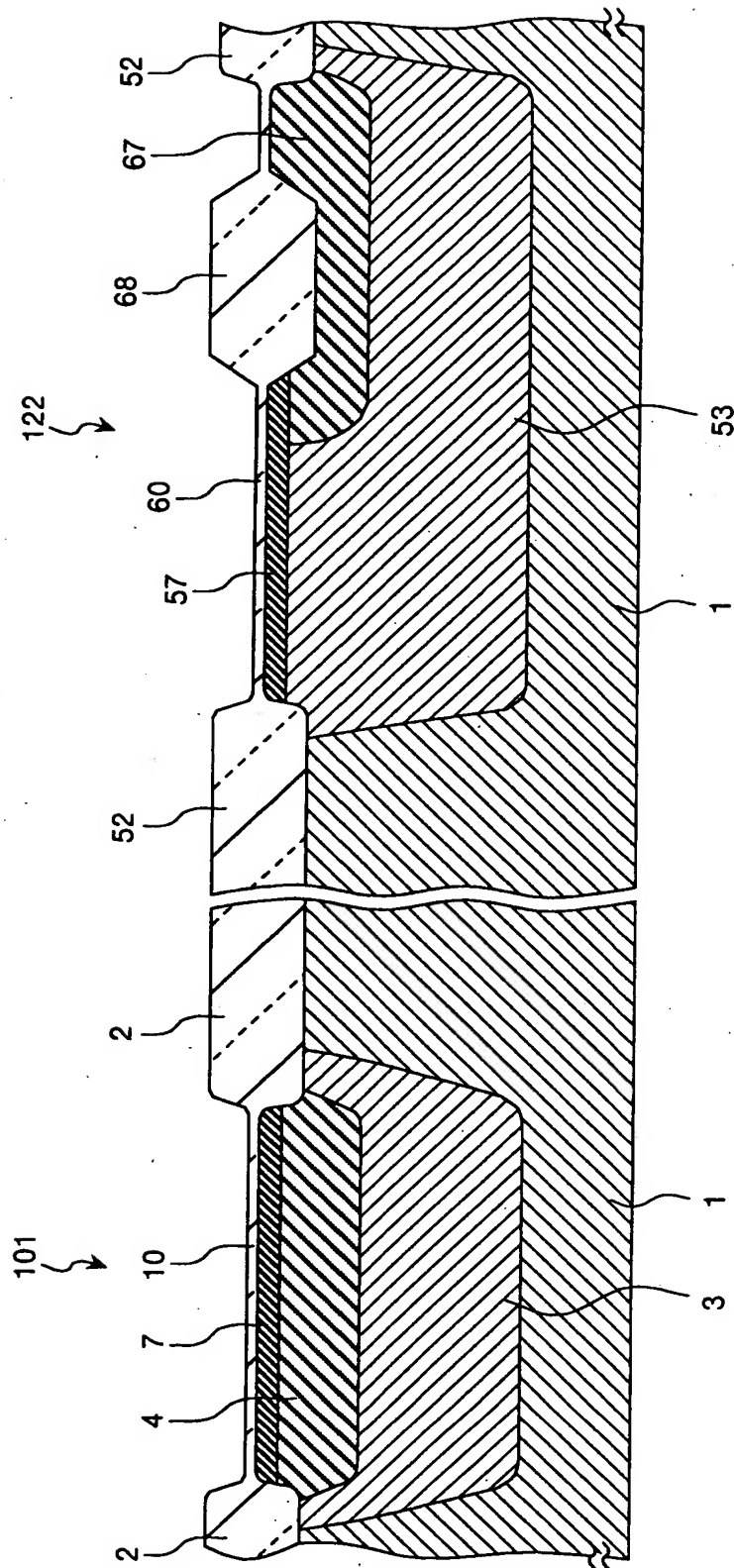
【図 6】



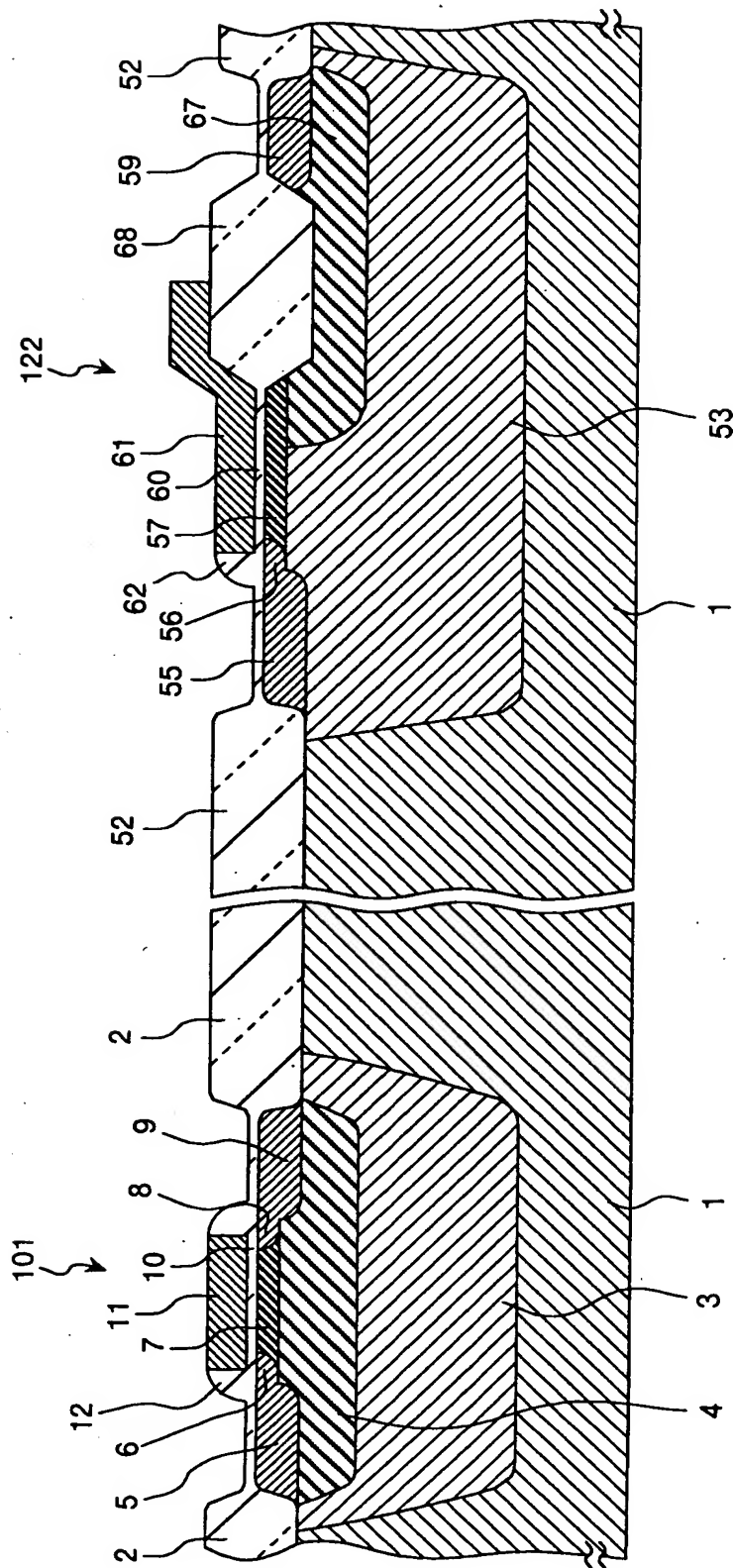
【图 7】



【図 8】



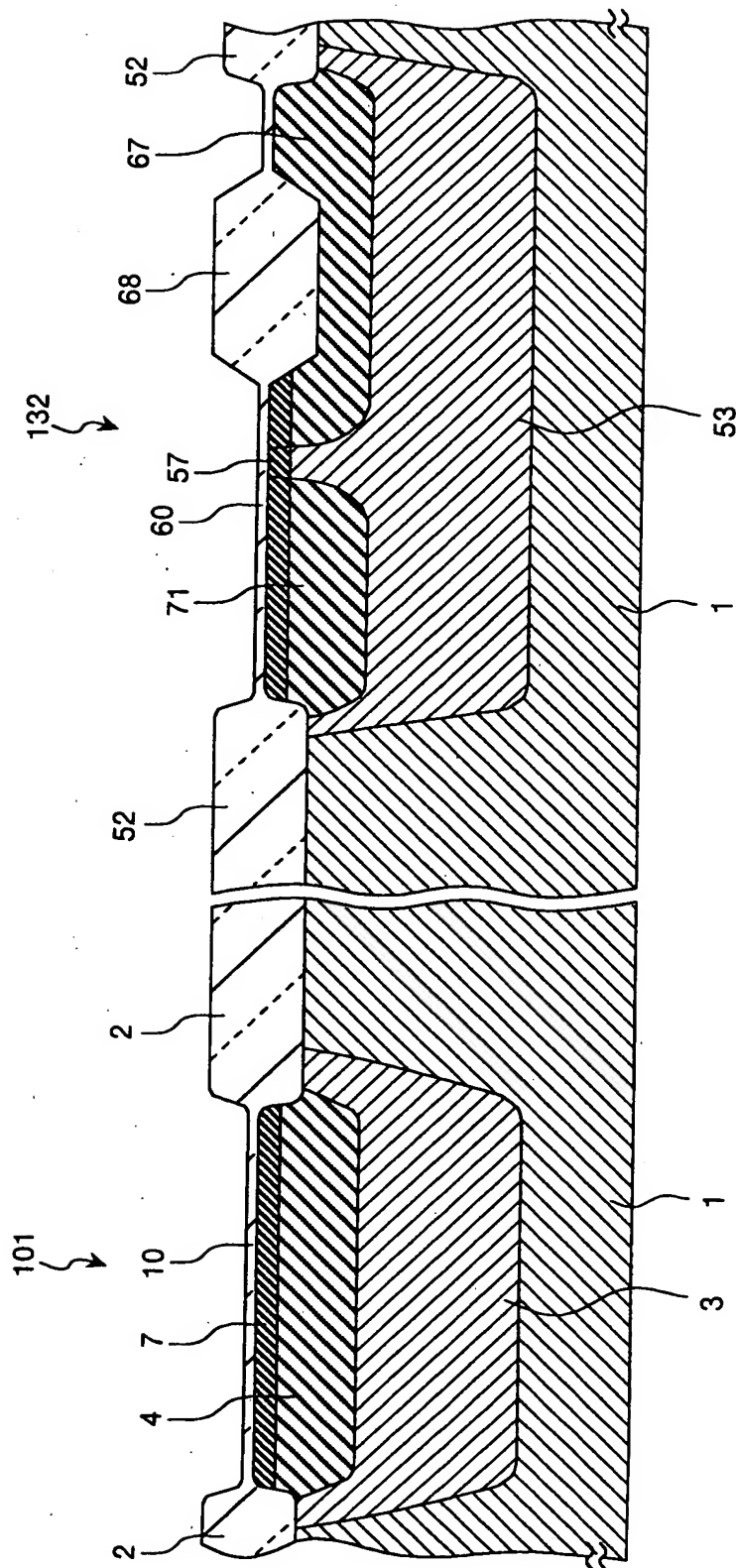
【図9】



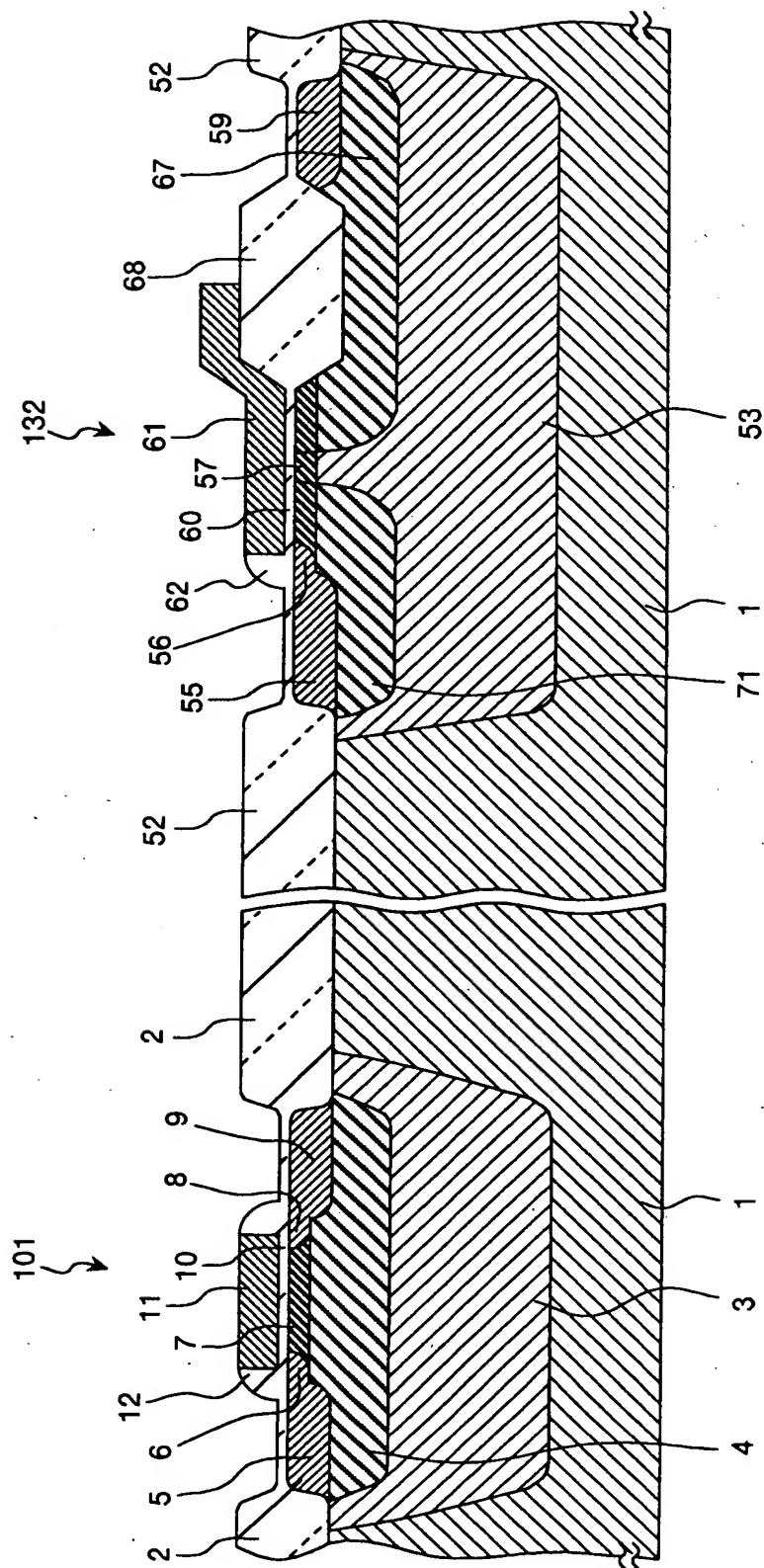




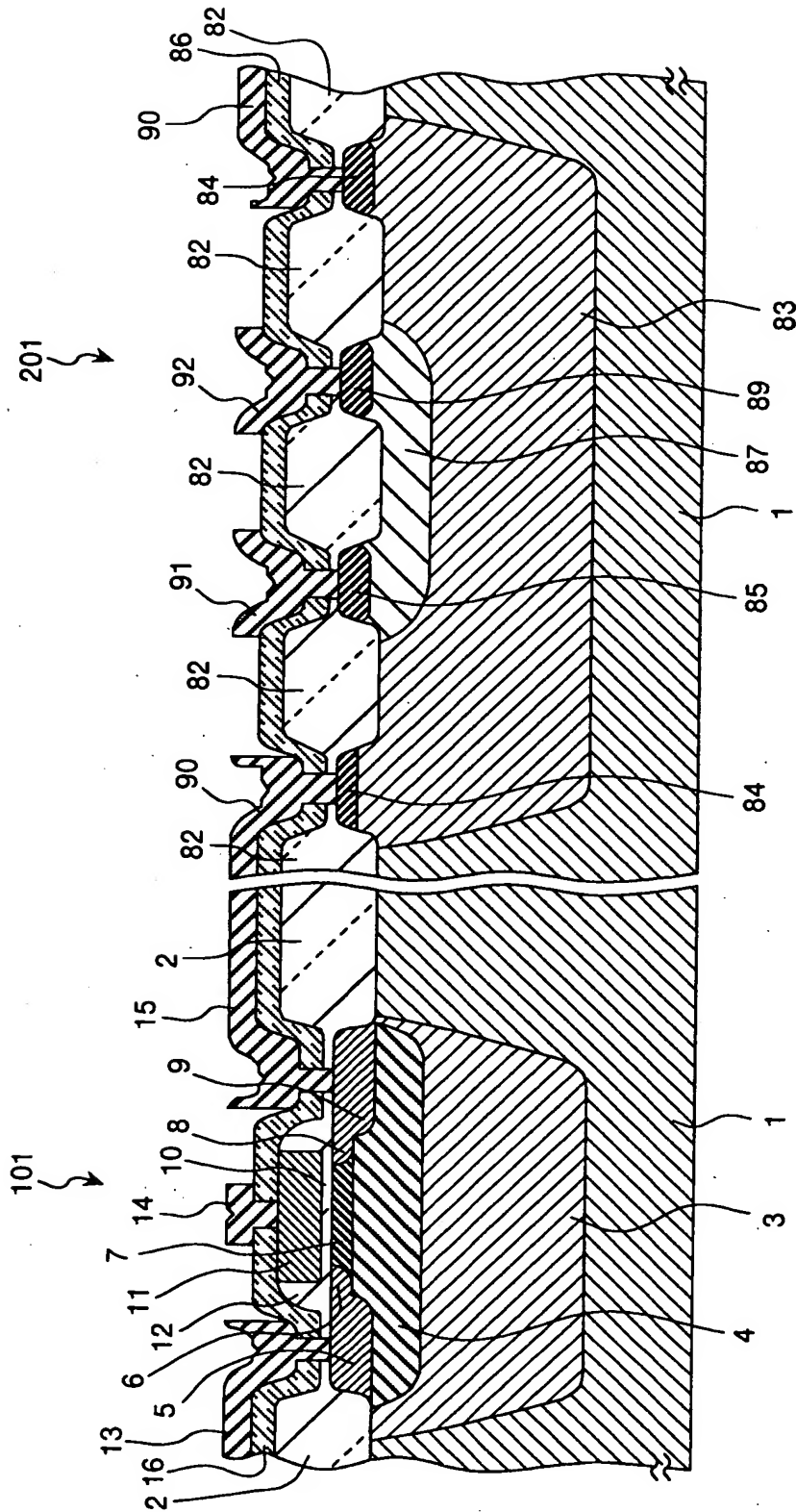
【図11】



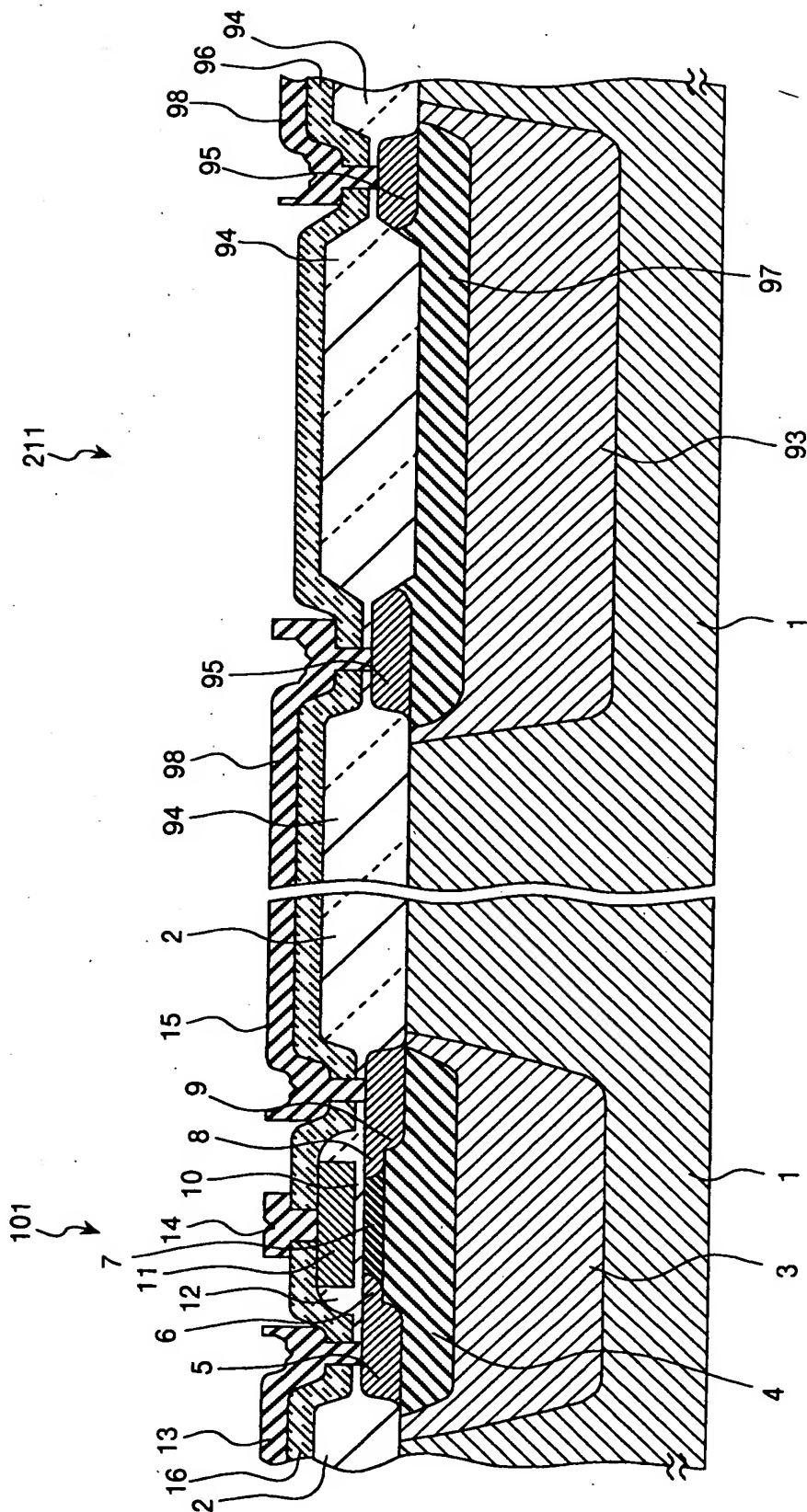
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 サブミクロンCMOSトランジスタを、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などと一緒に、それぞれの特性を劣化させることなく、同一基板上に混載すること。

【解決手段】 半導体基板1の一主面側にパンチスルーストッパ層を形成する際に、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗を形成する領域をマスクしてたとえばイオン注入をおこなう。それによって、サブミクロンCMOSトランジスタの形成領域にパンチスルーストッパ領域4を形成するとともに、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗の形成領域にパンチスルーストッパ領域が形成されるのを防ぐ。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005234]

1. 変更年月日	1990年 9月 5日
[変更理由]	新規登録
住 所	神奈川県川崎市川崎区田辺新田1番1号
氏 名	富士電機株式会社